

**Semiconductor device system e.g. DRAM, has two semiconductor devices e.g. in stacked arrangement, and powered from power supply provided in first device**

**Publication number:** DE10315303

**Publication date:** 2004-11-04

**Inventor:** EGERER JENS (DE)

**Applicant:** INFINEON TECHNOLOGIES AG (DE)

**Classification:**


**- international:** **G11C5/06; H01L23/50; H01L25/065; G11C5/06; H01L23/48; H01L25/065; (IPC1-7): H01L23/58; G11C11/00; H01L23/04; H01L25/065**

**- european:** G11C5/06H; H01L23/50; H01L25/065S

**Application number:** DE20031015303 20030402

**Priority number(s):** DE20031015303 20030402

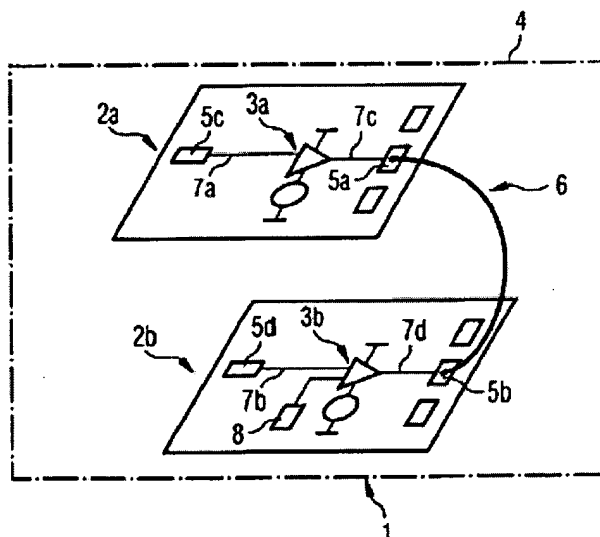
**Also published as:**

 **US2005017341 (A1)**

**Report a data error here**

**Abstract of DE10315303**

The system includes two semiconductor devices (2a,2b). The first device (2a) includes a power supply device (3a). The power supply device is connected to the second semiconductor device so that a supply voltage can be provided to the second semiconductor device. The semiconductor devices are preferably stacked in the same package (4), which may be a dual-in-line or pin grid array package.



Data supplied from the **esp@cenet** database - Worldwide



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 103 15 303 A1** 2004.11.04

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **103 15 303.9**

(22) Anmeldetag: **02.04.2003**

(43) Offenlegungstag: **04.11.2004**

(51) Int Cl.<sup>7</sup>: **H01L 23/58**

**H01L 25/065, H01L 23/04, G11C 11/00**

(71) Anmelder:  
**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**Patentanwälte Bosch, Graf v. Stosch, Jehle, 80639 München**

(72) Erfinder:  
**Egerer, Jens, 81827 München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

**DE 38 06 951 C2**

**DE 196 48 492 A1**

**US 59 03 607 A**

**EP 07 36 903 A2**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

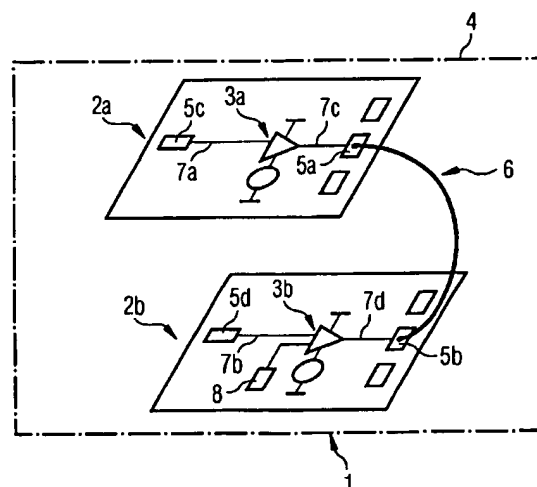
Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Halbleiter-Bauelement-Spannungsversorgung für System mit mindestens zwei, insbesondere gestapelten, Halbleiter-Bauelementen**

(57) Zusammenfassung: Die Erfindung betrifft ein System (1), welches aufweist

- ein erstes Halbleiter-Bauelement (2a) und
- ein zweites Halbleiter-Bauelement (2b),

wobei das erste Halbleiter-Bauelement (2a) eine Spannungsversorgungseinrichtung (3a) aufweist, und wobei die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) an das zweite Halbleiter-Bauelement (2b) angeschlossen ist, so daß die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) eine Versorgungsspannung für das zweite Halbleiter-Bauelement (2b) zur Verfügung stellen kann.



## DE 103 15 303 A1 2004.11.04

**Beschreibung**

**[0001]** Die Erfindung betrifft gemäß Oberbegriff des Anspruchs 1 ein System mit zwei – insbesondere gestapelten – Halbleiter-Bauelementen, bzw. eine Halbleiter-Bauelement-Spannungsversorgung für ein derartiges System.

**[0002]** Halbleiter-Bauelemente, insbesondere Speicherbauelemente wie z.B. DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) weisen i.A. eine oder mehrere Spannungs-Versorgungseinrichtungen auf.

**[0003]** Eine Spannungsversorgungseinrichtung dient dazu, aus einer – extern bereitgestellten – Spannung eine – intern im Halbleiter-Bauelement verwendete – Spannung zu erzeugen.

**[0004]** Dabei kann sich der Spannungspegel der von der Halbleiter-Bauelement-Spannungsversorgungseinrichtung erzeugten internen Spannung von dem Pegel der externen Spannung unterscheiden.

**[0005]** Insbesondere kann der intern verwendete Spannungspegel kleiner sein, als der extern verwendete Spannungspegel.

**[0006]** Ein gegenüber dem extern verwendeten Spannungspegel verringerter interner Spannungspegel hat z.B. den Vorteil, dass hierdurch die Verlustleistungen im Halbleiter-Bauelement reduziert werden können.

**[0007]** Des weiteren kann die externe Spannung relativ starken Schwankungen unterworfen sein. Deshalb wird als Spannungsversorgungseinrichtung häufig ein sog. Spannungsregler verwendet, welcher – damit das Bauelement fehlerfrei betrieben werden kann – die externe Spannung in eine – nur relativ geringen Schwankungen unterworfenen, auf einen bestimmten, konstanten (ggf. verringerten) Wert hin ge-regelte – interne Spannung umwandelt.

**[0008]** Herkömmliche Spannungsregler können z.B. einen Differenzverstärker, und einen Feldeffekttransistor aufweisen. Das Gate des Feldeffekttransistors kann an einen Ausgang des Differenzverstärkers angeschlossen sein, und die Source des Feldeffekttransistors z.B. an die externe Spannung.

**[0009]** An den Plus-Eingang des Differenzverstärkers wird eine – nur relativ geringen Schwankungen unterworfenen – Referenzspannung angelegt. Die am Drain des Feldeffekttransistors ausgegebene Spannung kann direkt, oder z.B. unter Zwischenschaltung eines Spannungsteilers an den Minus-Eingang des Differenzverstärkers rückgekoppelt werden.

**[0010]** Der Differenzverstärker regelt die am

Gate-Anschluß des Feldeffekttransistors anliegende Spannung so, dass die (rückgekoppelte) Drain-Spannung – und damit die vom Spannungsregler ausgegebene Spannung – konstant ist, und gleich groß, wie die Referenzspannung, oder z.B. um einen bestimmten Faktor größer.

**[0011]** Halbleiter-Bauelemente sind üblicherweise jeweils in entsprechende Gehäuse eingebaut, z.B. entsprechende oberflächenmontierbare Gehäuse (SMD-Gehäuse), oder steckmontierbare Gehäuse (z.B. entsprechende Dual-In-Line-(DIL-) Gehäuse, Pin-Grid-Array- (PGA-) Gehäuse, etc.).

**[0012]** In einem einzelnen Gehäuse können – statt einem einzigen Halbleiter-Bauelement – auch zwei oder mehr Halbleiter-Bauelemente angeordnet sein.

**[0013]** Beispielsweise können bei Speicherbauelementen, insbesondere DRAMs zur Erhöhung der Speicherdichte mehrere Halbleiter-Bauelemente übereinanderliegend bzw. gestapelt in ein einziges Gehäuse montiert werden.

**[0014]** Z.B. können in einem einzelnen Gehäuse zwei 256-Mbit-Speicherbauelemente vorgesehen sein, wodurch ein 512-Mbit-Chip geschaffen wird.

**[0015]** Die in einem einzelnen Gehäuse vorgesehenen Halbleiter Bauelemente, insbesondere Speicherbauelemente weisen voneinander unabhängige Spannungsversorgungseinrichtungen auf.

**[0016]** Wird auf ein Speicherbauelement zugegriffen (d.h. werden entsprechende externe Daten auf dem Speicherbauelement abgespeichert, oder werden auf dem Speicherbauelement gespeicherte Daten ausgelesen), fließen i.A. relativ hohe Ströme, die – lokal – von den entsprechenden Spannungsversorgungseinrichtungen erzeugt werden.

**[0017]** Demgegenüber fließen im Standby- oder Refresh-Betrieb nur relativ geringe Ströme (z.B. zum Liefern von Leckströmen oder Betriebsströmen).

**[0018]** Die Standby- oder Refresh-Ströme können jeweils z.B. im Bereich von ca. 50  $\mu$ A liegen – d.h. insgesamt z.B. bei zwei gestapelten Speicherbauelementen 100  $\mu$ A betragen (wobei die Betriebsströme der jeweiligen Spannungsversorgungseinrichtungen den größten Teil dieser Ströme bilden).

**Aufgabenstellung**

**[0019]** Die Erfindung hat zur Aufgabe, ein neuartiges System mit zwei – insbesondere gestapelten – Halbleiter-Bauelementen zur Verfügung zu stellen, bzw. – insbesondere – eine Halbleiter-Bauelement-Spannungsversorgung für ein derartiges System.

## DE 103 15 303 A1 2004.11.04

**[0020]** Die Erfindung erreicht dieses und weitere Ziele durch den Gegenstand des Anspruchs 1.

**[0021]** Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

**[0022]** Gemäß einem Grundgedanken der Erfindung wird ein System, insbesondere Halbleiter-Bauelement-System bereitgestellt, welches aufweist

- ein erstes Halbleiter-Bauelement, und
- ein zweites Halbleiter-Bauelement,

wobei das erste Halbleiter-Bauelement eine Spannungsversorgungseinrichtung aufweist, und wobei die Spannungsversorgungseinrichtung des ersten Halbleiter-Bauelements an das zweite Halbleiter-Bauelement angeschlossen ist, so daß die Spannungsversorgungseinrichtung des ersten Halbleiter-Bauelements eine Versorgungsspannung für das zweite Halbleiter-Bauelement zur Verfügung stellen kann.

**[0023]** Besonders vorteilhaft weist zusätzlich auch das zweite Halbleiter-Bauelement eine Spannungsversorgungseinrichtung auf.

**[0024]** Bevorzugt stellt in einem ersten Betriebsmodus des zweiten Halbleiter-Bauelements die Spannungsversorgungseinrichtung des zweiten Halbleiter-Bauelements die Versorgungsspannung für das zweite Halbleiter-Bauelement zur Verfügung, und in einem zweiten Betriebsmodus des zweiten Halbleiter-Bauelements – insbesondere in einem Standby- oder Refresh-Modus – die Spannungsversorgungseinrichtung des ersten Halbleiter-Bauelements.

**[0025]** Die Spannungsversorgungseinrichtung des zweiten Halbleiter-Bauelements kann dann deaktiviert werden, so dass deren Betriebsstrom eingespart werden kann (und damit insgesamt die zum Betrieb der Halbleiter-Bauelemente benötigten Ströme).

**[0026]** Bei einer vorteilhaften Ausgestaltung der Erfindung sind das erste Halbleiter-Bauelement und das zweite Halbleiter-Bauelement in ein- und demselben Gehäuse angeordnet.

**[0027]** Bevorzugt sind das erste und zweite Halbleiter-Bauelement auf gestapelte bzw. übereinanderliegende Weise in dem Gehäuse angeordnet (sog. „stacken“).

**[0028]** Vorteilhaft kann es sich bei dem Gehäuse um ein steckmontierbares Halbleiter-Bauelement-Gehäuse handeln, oder z.B. um ein oberflächenmontierbares Halbleiter-Bauelement-Gehäuse.

**[0029]** Besonders bevorzugt sind das erste und/oder das zweite Halbleiter-Bauelement entsprechende Speicherbauelemente, insbesondere ent-

sprechende DRAM-Speicherbauelemente.

**[0030]** Bei einer vorteilhaften Ausgestaltung der Erfindung ist die Spannungsversorgungseinrichtung des ersten Halbleiter-Bauelements an ein entsprechendes Pad des ersten Halbleiter-Bauelements angeschlossen.

**[0031]** Bevorzugt ist das Pad des ersten Halbleiter-Bauelements an ein entsprechendes Pad des zweiten Halbleiter-Bauelements angeschlossen, an welches die Spannungsversorgungseinrichtung des zweiten Halbleiter-Bauelement anschließbar ist.

**[0032]** Das Pad des ersten Halbleiter-Bauelements kann z.B. direkt an das entsprechende Pad des zweiten Halbleiter-Bauelements angeschlossen sein, insbesondere mittels eines entsprechenden Bonddrahts.

**[0033]** Alternativ kann das Pad des ersten Halbleiter-Bauelements z.B. auch indirekt, z.B. über einen Interposer an das entsprechende Pad des zweiten Halbleiter-Bauelements angeschlossen sein.

## Ausführungsbeispiel

**[0034]** Im folgenden wird die Erfindung anhand mehrerer Ausführungsbeispiele und der beigelegten Zeichnung näher erläutert. In der Zeichnung zeigt:

**[0035]** Fig. 1a eine schematische Darstellung eines Systems mit zwei gestapelten Halbleiter-Bauelementen mit einer Halbleiter-Bauelement-Spannungsversorgung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung; und

**[0036]** Fig. 1b eine schematische Darstellung eines Systems mit zwei gestapelten Halbleiter-Bauelementen mit einer Halbleiter-Bauelement-Spannungsversorgung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

**[0037]** In Fig. 1a ist eine schematische Darstellung eines Systems 1 mit zwei gestapelten Halbleiter-Bauelementen 2a, 2b gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung gezeigt.

**[0038]** Die beiden Halbleiter-Bauelemente 2a, 2b sind – abgesehen insbesondere von den im folgenden noch genauer erläuterten, zur Spannungsversorgung der Halbleiter-Bauelemente 2a, 2b dienenden bzw. die Spannungsversorgung steuernden Komponenten – im wesentlichen identisch aufgebaut.

**[0039]** Bei den Halbleiter-Bauelementen 2a, 2b kann es sich im Prinzip um beliebige Logik- und/oder Speicherbauelemente handeln, z.B. um Funktionspeicher-Bauelemente, insbesondere PLDs oder PLAs, oder z.B. um Tabellenspeicher-Bauelemente,

## DE 103 15 303 A1 2004.11.04

insbesondere ROM- oder RAM-Tabellenspeicher-Bauelemente, etc.

**[0040]** Beispielsweise können als Halbleiter-Bauelemente **2a**, **2b** entsprechende DRAM-Tabellenspeicher-Bauelemente verwendet werden, z.B. jeweils ein 256-Mbit-, 512-Mbit-, oder 1-Gbit-DRAM-Tabellenspeicherbauelement **2a**, **2b**, beispielsweise entsprechende DDR-DRAMs (Double Data Rate DRAMs bzw. DRAMs mit doppelter Datenrate).

**[0041]** Wie in **Fig. 1a** auf schematische Weise veranschaulicht ist, sind die Halbleiter-Bauelemente **2a**, **2b** in demselben Halbleiter-Bauelement-Gehäuse **4** angeordnet.

**[0042]** Bei dem Gehäuse **4** kann es sich z.B. um ein entsprechendes steckmontierbares Halbleiter-Bauelement-Gehäuse handeln, z.B. ein Dual-In-Line-(DIL-) Gehäuse, ein Pin-Grid-Array-(PGA-) Gehäuse, etc., oder um ein oberflächenmontierbares Halbleiter Bauelement-Gehäuse (SMD-Gehäuse), usw.

**[0043]** Wie aus **Fig. 1a** weiter hervorgeht, sind die Halbleiter-Bauelemente **2a**, **2b** so in das Gehäuse **4** montiert, dass sie im wesentlichen übereinanderliegen bzw. übereinander gestapelt („stacked“) sind.

**[0044]** Durch das Stapeln der Halbleiter-Bauelemente **2a**, **2b** im gleichen Gehäuse **4** kann das System **1** insgesamt – z.B. dann, wenn als Halbleiter-Bauelemente **2a**, **2b** zwei 256-Mbit-Speicherbauelemente **2a**, **2b** verwendet werden – als 512-Mbit-Speicherbauelement eingesetzt werden (oder z.B. bei Verwendung von zwei 512-Mbit-Speicherbauelementen als 1-Gbit-Speicherbauelement, etc.).

**[0045]** Wie in **Fig. 1a** weiter gezeigt ist, weist jedes Halbleiter-Bauelement **2a**, **2b** eine – entsprechend ähnlich wie herkömmliche Spannungsversorgungseinrichtungen aufgebaute – Spannungsversorgungseinrichtung **3a**, **3b** auf (bzw. – alternativ – jeweils mehrere, z.B. zwei, drei, vier, fünf, sechs oder sieben entsprechend wie die Spannungsversorgungseinrichtungen **3a**, **3b** aufgebaute und eingerichtete Spannungsversorgungseinrichtungen).

**[0046]** Die Spannungsversorgungseinrichtungen **3a**, **3b** dienen dazu, aus einer – von einer extern von den Halbleiter-Bauelementen **2a**, **2b** bzw. dem Gehäuse **4** angeordneten Spannungsquelle (hier nicht dargestellt) bereitgestellten – externen Spannung eine entsprechende interne – jeweils z.B. intern im jeweiligen Halbleiter-Bauelement **2a**, **2b** verwendete (siehe Ausführungen unten) – Spannung zu erzeugen.

**[0047]** Die von der externen Spannungsquelle bereitgestellte externe Spannung kann z.B. über einen

oder mehrere Versorgungsspannungs-Pins (hier nicht dargestellt) des Halbleiter-Bauelement-Gehäuses **4**, und mit diesem bzw. diesen verbundene Halbleiter-Bauelement-Pads (z.B. die in **Fig. 1a** gezeigten Pads **5c**, **5d**), sowie über entsprechende an die Pads **5c**, **5d** angeschlossene, auf bzw. in den Halbleiter-Bauelementen **2a**, **2b** verlaufende Leitungen **7a**, **7b** an die Spannungsversorgungseinrichtungen **3a**, **3b** geliefert werden.

**[0048]** Als Spannungsversorgungseinrichtungen **3a**, **3b** können z.B. entsprechende – entsprechend ähnlich wie herkömmliche Ladungspumpen aufgebaute – Ladungspumpen verwendet werden, oder z.B. – wie beim hier gezeigten Ausführungsbeispiel – entsprechende – entsprechend ähnlich wie herkömmliche Spannungsregelungseinrichtungen aufgebaute – Spannungsregleinrichtungen **3a**, **3b**.

**[0049]** Diese dienen dazu, die – ggf. relativ starken Schwankungen unterworfenen – externen Spannung in die o.g. – nur relativ geringen Schwankungen unterworfenen, auf einen bestimmten, konstanten, Wert hin geregelte – interne Spannung umzuwandeln.

**[0050]** Die interne Spannung kann z.B. im wesentlichen dieselbe, oder alternativ z.B. eine geringere Spannungshöhe aufweisen, als die externe Spannung. Beispielsweise kann die externe Spannung im Bereich zwischen 1,5 V und 2,5 V liegen, z.B. bei 1,8 V, und die interne Spannung z.B. im Bereich zwischen 1,3 V und 2,0 V, z.B. bei 1,5 V.

**[0051]** Die Spannungsversorgungseinrichtungen **3a**, **3b** bzw. Spannungsregleinrichtungen **3a**, **3b** können z.B. jeweils einen Differenzverstärker, und einen Feldeffekttransistor aufweisen. Das Gate des Feldeffekttransistors kann an einen Ausgang des Differenzverstärkers angeschlossen sein, und die Source des Feldeffekttransistors z.B. an die o.g. externe Spannung.

**[0052]** An den Plus-Eingang des Differenzverstärkers wird eine – nur relativ geringen Schwankungen unterworfenen – Referenzspannung angelegt. Die am Drain des Feldeffekttransistors ausgegebene Spannung kann direkt, oder z.B. unter Zwischenschaltung eines Spannungsteilers an den Minus-Eingang des Differenzverstärkers rückgekoppelt werden.

**[0053]** Der Differenzverstärker regelt die am Gate-Anschluß des Feldeffekttransistors anliegende Spannung so, dass die (rückgekoppelte) Drain-Spannung – und damit die von der entsprechenden Spannungsversorgungseinrichtung **3a**, **3b** bzw. Spannungsregleinrichtung **3a**, **3b** z.B. an entsprechenden Leitungen **7c**, **7d** bzw. Anschlüssen ausgegebene Spannung (d.h. die o.g. – intern auf den Halbleiter-Bauelementen **2a**, **2b** verwendete – Spannung (interne Spannung)) – konstant ist, und gleich groß,

## DE 103 15 303 A1 2004.11.04

wie die Referenzspannung, oder z.B. um einen bestimmten Faktor größer.

**[0054]** Das erste und das zweite Halbleiter-Bauelement **2a**, **2b** werden in mehreren, verschiedenen Modi betrieben.

**[0055]** Z.B. kann in einem ersten Modus (Arbeitsmodus) ein externer Zugriff auf das erste bzw. zweite Halbleiter-Bauelement **2a**, **2b** erfolgen (entsprechend ähnlich wie bei herkömmlichen Speicherbauelementen). Dabei können z.B. entsprechende – externe – Daten auf dem ersten bzw. zweiten Halbleiter-Bauelement **2a**, **2b** abgespeichert werden (wobei die Daten z.B. an entsprechenden Pins des Halbleiter-Bauelement-Gehäuses **4** eingegeben werden können), oder es können auf dem ersten bzw. zweiten Halbleiter-Bauelement **2a**, **2b** abgespeicherte Daten – extern – ausgelesen werden (wobei die Daten an entsprechenden Pins des Halbleiter-Bauelement-Gehäuses **4** ausgegeben werden).

**[0056]** Ein zweiter Betriebsmodus kann z.B. ein Ruhe- bzw. Standby-Modus sein (entsprechend ähnlich wie bei herkömmlichen Speicherbauelementen), oder z.B. ein Refresh-Modus (ebenfalls entsprechend ähnlich wie bei herkömmlichen Speicherbauelementen).

**[0057]** Während eines Refresh-Modus (bzw. genauer: während einer Refresh-Operation) werden die Kondensatoren der Speicherzellen, auf denen die auf den Halbleiter-Bauelementen **2a**, **2b** gespeicherten Daten gespeichert sind, entsprechend nachgeladen.

**[0058]** Ein Refresh-Zyklus kann in regelmäßigen zeitlichen Abständen durchgeführt werden, z.B. alle 1 – 10 ms, bzw. alle 10 ms – 1000 ms, etc.

**[0059]** Wie im folgenden noch genauer erläutert wird, wird beim in **Fig. 1a** gezeigten Halbleiter-Bauelement-System **1** im o.g. ersten Betriebsmodus (und ggf. in einem oder mehreren weiteren Betriebsmodi) – z.B. während des o.g. Arbeitsmodus – die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** aktiviert, und im o.g. zweiten Betriebsmodus (und ggf. in einem oder mehreren weiteren Betriebsmodi) – z.B. während des Standby-Modus und/oder während des Refresh-Modus – die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** deaktiviert.

**[0060]** Dies geschieht z.B. dadurch, dass von einer Aktivier/Deaktivier-Steuereinrichtung **8** entsprechende Aktivier/Deaktivier-Signale an die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** geliefert werden.

**[0061]** Im aktivierten Zustand ist die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements

**2b** eingeschaltet (insbesondere mit der Versorgungs- bzw. externen Spannung verbunden, so dass entsprechende Betriebsströme – z.B. zwischen 20µA und 80µA, z.B. 50 µA – fließen), und im deaktivierten Zustand ausgeschaltet (insbesondere von der Versorgungs- bzw. externen Spannung getrennt, so dass vermieden wird, dass entsprechende Betriebsströme fließen).

**[0062]** Wie in **Fig. 1a** weiter gezeigt ist, ist die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** – hier: über die Leitung **7c** – an ein entsprechendes Halbleiter-Bauelement-Pad **5a** des ersten Halbleiter-Bauelements **2a** angeschlossen.

**[0063]** Das Pad **5a** ist mittels eines Bond-Drahts **6** an ein entsprechendes Halbleiter-Bauelement-Pad **5b** des zweiten Halbleiter-Bauelements **2b** angeschlossen.

**[0064]** Das Pad **5b** des zweiten Halbleiter-Bauelements **2b** ist – hier: über die Leitung **7d** – mit der Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** verbunden (bzw. mit einer Leitung bzw. einem Anschluß, an der bzw. dem – im aktivierten Zustand der Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** – die von dieser dann erzeugte interne Spannung ausgegeben wird).

**[0065]** Durch den oben beschriebenen Anschluß der Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** an das zweite Halbleiter-Bauelement **2b** wird erreicht, dass im o.g. zweiten Betriebsmodus des zweiten Halbleiter-Bauelements **2b** (und ggf. in einem oder mehreren weiteren Betriebsmodi) – z.B. während des Standby-Modus und/oder während des Refresh-Modus – die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** zusätzlich zu der – internen – Versorgungsspannung (internen Spannung) für das erste Halbleiter-Bauelement **2a** die – interne – Versorgungsspannung (interne Spannung) für das zweite Halbleiter-Bauelement **2b** zur Verfügung stellen kann.

**[0066]** Damit erzeugt mit anderen Worten beim o.g. zweiten Betriebsmodus die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** für beide Halbleiter-Bauelemente **2a**, **2b** die jeweils benötigten (internen) Spannungen – die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** ist deaktiviert, so dass deren Betriebsstrom eingespart werden kann (wodurch insgesamt die zum Betrieb der Halbleiter-Bauelemente **2a**, **2b** benötigten Ströme reduziert werden).

**[0067]** Demgegenüber wird – wie bereits oben erläutert – im o.g. ersten Betriebsmodus des zweiten

## DE 103 15 303 A1 2004.11.04

Halbleiter-Bauelements **2b** (und ggf. in einem oder mehreren weiteren Betriebsmodi) – z.B. während des Arbeits-Modus – die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** in einen aktiven Zustand gebracht (und ggf. zusätzlich die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** von der Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b**, bzw. der o.g. Leitung oder dem Anschluß, an der bzw. dem die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** die von dieser erzeugte interne Spannung ausgibt, getrennt (z.B. unter Steuerung der Aktivier/Deaktivier-Steuereinrichtung **8**, oder alternativ z.B. einer entsprechenden auf dem ersten Halbleiter-Bauelement **2a** vorgesehenen Steuereinrichtung)).

**[0068]** Dadurch wird erreicht, dass im o.g. ersten Betriebsmodus des zweiten Halbleiter-Bauelements **2b** (und ggf. in einem oder mehreren weiteren Betriebsmodi) – z.B. während des Arbeits-Modus – die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** die – interne – Versorgungsspannung (interne Spannung) für das zweite Halbleiter-Bauelement **2b** zur Verfügung stellt (und die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** die – interne – Versorgungsspannung (interne Spannung) für das erste Halbleiter-Bauelement **2a**).

**[0069]** Vorteilhaft sind das erste und das zweite Halbleiter-Bauelement **2a**, **2b** – insbesondere bis zum Durchlaufen des im folgenden genauer erläuterten Bauelement-Funktions-Einstell-Schrittes – (zunächst) im wesentlichen identisch aufgebaut.

**[0070]** Mit Hilfe des Bauelement-Funktions-Einstell-Schrittes wird bei der Herstellung der Halbleiter-Bauelemente festgelegt, ob ein entsprechendes Halbleiter-Bauelement eine Funktion erfüllen soll, die der Funktion des o.g. ersten Halbleiter-Bauelements **2a** entspricht, d.h. die Funktion eines „Masters“, welcher beim o.g. zweiten Betriebsmodus (und ggf. bei einen oder mehreren weiteren Betriebsmodi) – zusätzlich zur eigenen Spannungsversorgung – auch für ein oder mehrere weitere Halbleiter-Bauelemente die jeweils benötigte (interne) Spannung bereitstellen soll, oder eine Funktion, die der Funktion des o.g. zweiten Halbleiter-Bauelements **2b** entspricht, d.h. die Funktion eines „Slaves“, welcher beim o.g. zweiten Betriebsmodus (und ggf. bei einen oder mehreren weiteren Betriebsmodi) die jeweils benötigte (interne) Spannung von einem anderen Halbleiter-Bauelement („Master“) beziehen soll.

**[0071]** Zur Festlegung der Funktion eines entsprechenden Halbleiter-Bauelements kann auf den Bauelementen jeweils eine entsprechende Bauelement-Funktions-Einstell-Einrichtung vorgesehen

sein, insbesondere ein entsprechender Fuse.

**[0072]** Als Fuse kann z.B. ein entsprechender Laser-Fuse verwendet werden, oder z.B. ein entsprechender elektrischer Fuse.

**[0073]** Wird der Fuse zerschossen, übernimmt das entsprechende Bauelement z.B. eine „Master“- und sonst eine „Slave“-Funktion (oder umgekehrt).

**[0074]** Wie in anhand des in **Fig. 1b** gezeigten, alternativen Ausführungsbeispiels für ein Halbleiter-Bauelement-System **1** veranschaulicht ist, kann die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** auch auf beliebige andere Weise mit dem zweiten Halbleiter-Bauelement **2b** (bzw. genauer: der Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** (bzw. der Leitung oder dem Anschluß, an der bzw. dem die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** die von dieser – im aktivierten Zustand – erzeugte interne Spannung ausgibt)) verbunden sein, als in **Fig. 1a** gezeigt.

**[0075]** Beispielsweise kann gemäß **Fig. 1b** die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** – entsprechend wie oben beschrieben – an ein Halbleiter-Bauelement-Pad **5a** des ersten Halbleiter-Bauelements **2a** angeschlossen sein, welches – anders als beim in **Fig. 1a** gezeigten Ausführungsbeispiel – mittels eines Bond-Drahts **6a** an einen entsprechenden Kontakt eines Interposers **9** angeschlossen ist (bzw. an einen entsprechenden Leadframe-Anschluß **10** des Gehäuses **4**).

**[0076]** Der Interposer-Kontakt (bzw. der Leadframe-Anschluß **10**) ist mittels eines weiteren Bond-Drahts **6b** mit dem Pad **5b** des zweiten Halbleiter-Bauelements **2b** verbunden, welcher mit der Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** verbunden ist (bzw. der o.g. Leitung bzw. dem Anschluß, an der bzw. dem – im aktivierten Zustand der Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** – die von dieser dann erzeugte interne Spannung ausgegeben wird).

**[0077]** Dadurch kann – entsprechend ähnlich wie beim in **Fig. 1a** gezeigten Ausführungsbeispiel – erreicht werden, dass beim zweiten Betriebsmodus des zweiten Halbleiter-Bauelements **2b** (z.B. während des Standby-Modus und/oder während des Refresh-Modus) die Spannungsversorgungseinrichtung **3a** des ersten Halbleiter-Bauelements **2a** – zusätzlich zu der Versorgungsspannung (internen Spannung) für das erste Halbleiter-Bauelement **2a** – auch die Versorgungsspannung (interne Spannung) für das zweite Halbleiter-Bauelement **2b** zur Verfügung stellen kann.

## DE 103 15 303 A1 2004.11.04

[0078] Wird – entsprechend wie beim ersten Ausführungsbeispiel – die Spannungsversorgungseinrichtung **3b** des zweiten Halbleiter-Bauelements **2b** im zweiten Betriebsmodus entsprechend deaktiviert, kann – entsprechend wie beim in **Fig. 1a** gezeigten Ausführungsbeispiel – im o.g. zweiten Betriebsmodus der Betriebsstrom der Spannungsversorgungseinrichtung **3b** eingespart werden (und damit insgesamt die zum Betrieb der Halbleiter-Bauelemente **2a**, **2b** benötigten Ströme).

## Bezugszeichenliste

1	Halbleiter-Bauelement-System
2a	Halbleiter-Bauelement
2b	Halbleiter-Bauelement
3a	Spannungsversorgungseinrichtung
3b	Spannungsversorgungseinrichtung
4	Halbleiter-Bauelement-Gehäuse
5a	Halbleiter-Bauelement-Pad
5b	Halbleiter-Bauelement-Pad
5c	Halbleiter-Bauelement-Pad
5d	Halbleiter-Bauelement-Pad
6	Bond-Draht
6a	Bond-Draht
6b	Bond-Draht
7a	Leitung
7b	Leitung
7c	Leitung
7d	Leitung
8	Aktivier/Deaktivier-Steuereinrichtung
9	Interposer
10	Anschluß

## Patentansprüche

1. System (1), welches aufweist  
– ein erstes Halbleiter-Bauelement (2a), und  
– ein zweites Halbleiter-Bauelement (2b),  
wobei das erste Halbleiter-Bauelement (2a) eine Spannungsversorgungseinrichtung (3a) aufweist **dadurch gekennzeichnet**, daß die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) an das zweite Halbleiter-Bauelement (2b) angeschlossen ist, so daß die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) eine Versorgungsspannung für das zweite Halbleiter-Bauelement (2b) zur Verfügung stellen kann.

2. System (1) nach Anspruch 1, bei welchem das erste Halbleiter-Bauelement (2a) und das zweite Halbleiter-Bauelement (2b) in demselben Gehäuse (4) angeordnet sind.

3. System (1) nach Anspruch 2, bei welchem das erste und zweite Halbleiter-Bauelement (2a, 2b) auf gestapelte bzw. übereinanderliegende Weise in dem Gehäuse (4) angeordnet sind.

4. System (1) nach Anspruch 2 oder 3, bei welchem das Gehäuse (4) ein steckmontierbares Halbleiter-Bauelement-Gehäuse ist.

5. System (1) nach Anspruch 4, bei welchem das steckmontierbare Halbleiter-Bauelement-Gehäuse ein Dual-In-Line- (DIL-) Gehäuse ist.

6. System (1) nach Anspruch 4, bei welchem das steckmontierbare Halbleiter-Bauelement-Gehäuse ein Pin-Grid-Array- (PGA-) Gehäuse ist.

7. System (1) nach Anspruch 2 oder 3, bei welchem das Gehäuse (4) ein oberflächenmontierbares Halbleiter-Bauelement-Gehäuse ist.

8. System (1) nach einem der vorhergehenden Ansprüche, welches ein oder mehrere weitere Halbleiter-Bauelemente aufweist.

9. System (1) nach Anspruch 8, bei welchem das eine oder die mehreren weiteren Halbleiter-Bauelemente in demselben Gehäuse (4), insbesondere in demselben Halbleiter-Bauelement-Gehäuse angeordnet sind, wie das erste und das zweite Halbleiter-Bauelement (2a, 2b).

10. System nach Anspruch 8 oder 9, bei welchem die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) zusätzlich auch an das eine oder die mehreren weiteren Halbleiter-Bauelemente angeschlossen ist, so daß die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) zusätzlich eine Versorgungsspannung für das eine oder die mehreren weiteren Halbleiter-Bauelemente zur Verfügung stellen kann.

11. System (1) nach einem der Ansprüche 8 oder 9, bei welchem das erste Halbleiter-Bauelement (2a) eine weitere Spannungsversorgungseinrichtung des aufweist, welche an das eine oder die mehreren weiteren Halbleiter-Bauelemente angeschlossen ist, so daß die weitere Spannungsversorgungseinrichtung des ersten Halbleiter-Bauelements (2a) eine Versorgungsspannung für das eine oder die mehreren weiteren Halbleiter-Bauelemente zur Verfügung stellen kann.

12. System (1) nach einem der vorhergehenden Ansprüche, bei welchem das erste und/oder das zweite Halbleiter-Bauelement (2a, 2b), und/oder das eine weitere und/oder die mehreren weiteren Halbleiter-Bauelemente ein Speicherbauelement ist bzw. Speicherbauelemente sind.

13. System (1) nach Anspruch 12, bei welchem das Speicherbauelement ein Tabellenspeicher-Bauelement ist bzw. die Speicherbauelemente (2a, 2b) Tabellenspeicher-Bauelemente sind.



## DE 103 15 303 A1 2004.11.04

14. System (1) nach Anspruch 13, bei welchem das Tabellenspeicher-Bauelement ein RAM-Tabellenspeicher-Bauelement ist bzw. die Tabellenspeicher-Bauelemente RAM-Tabellenspeicher-Bauelemente sind.

15. System (1) nach Anspruch 14, bei welchem das RAM-Tabellenspeicher-Bauelement ein DRAM-Tabellenspeicher-Bauelement ist bzw. die RAM-Tabellenspeicher-Bauelemente DRAM-Tabellenspeicher-Bauelemente sind.

16. System (1) nach Anspruch 13, bei welchem das Tabellenspeicher-Bauelement ein ROM-Tabellenspeicher-Bauelement ist bzw. die Tabellenspeicher-Bauelemente ROM-Tabellenspeicher-Bauelemente sind.

17. System (1) nach Anspruch 12, bei welchem das Speicherbauelement ein Funktionsspeicher-Bauelement ist bzw. die Speicherbauelemente Funktionsspeicher-Bauelemente sind, insbesondere PLDs und/oder PLAs.

18. System (1) nach einem der vorhergehenden Ansprüche, bei welchem die Spannungsversorgungseinrichtung (3a) und/oder die weitere Spannungsversorgungseinrichtung eine Versorgungsspannung für das erste Halbleiter-Bauelement (2a) zur Verfügung stellt.

19. System (1) nach einem der vorhergehenden Ansprüche, bei welchem die Spannungsversorgungseinrichtung (3a) und/oder die weitere Spannungsversorgungseinrichtung die jeweilige Versorgungsspannung aus einer externen Spannung erzeugt.

20. System (1) nach einem der vorhergehenden Ansprüche, bei welchem die Spannungsversorgungseinrichtung (3a) und/oder die weitere Spannungsversorgungseinrichtung eine Spannungsregel-einrichtung ist bzw. aufweist.

21. System (1) nach einem der vorhergehenden Ansprüche, bei welchem die Spannungsversorgungseinrichtung (3a) und/oder die weitere Spannungsversorgungseinrichtung eine Ladungspumpe ist bzw. aufweist.

22. System (1) nach einem der vorhergehenden Ansprüche, bei welchem das zweite Halbleiter-Bauelement (2b) eine Spannungsversorgungseinrichtung (3b) aufweist, und wobei in einem ersten Betriebsmodus des zweiten Halbleiter-Bauelements (2b) die Spannungsversorgungseinrichtung (3b) des zweiten Halbleiter-Bauelements (2b) die Versorgungsspannung für das zweite Halbleiter-Bauelement (2b) zur Verfügung stellt, und wobei in einem zweiten Betriebsmodus des zweiten Halbleiter-Bauelements

(2b) die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2b) die Versorgungsspannung für das zweite Halbleiter-Bauelement (2b) zur Verfügung stellt.

23. System (1) nach Anspruch 22, bei welchem im ersten Betriebsmodus die Spannungsversorgungseinrichtung (3b) des zweiten Halbleiter-Bauelements (2b) aktiviert wird, und wobei im zweiten Betriebsmodus die Spannungsversorgungseinrichtung (3b) des zweiten Halbleiter-Bauelements (2b) deaktiviert wird.

24. System (1) nach Anspruch 22 oder 23, wobei der zweite Betriebsmodus ein Standby-Modus ist.

25. System (1) nach Anspruch 22, 23 oder 24, wobei der zweite Betriebsmodus ein Refresh-Modus ist.

26. System (1) nach einem der Ansprüche 22 bis 25, wobei der erste Betriebsmodus ein Arbeitsmodus ist, insbesondere ein Modus, bei dem extern auf das zweite Halbleiter-Bauelement (2b) zugegriffen wird.

27. System (1) nach einem der vorhergehenden Ansprüche, bei welchem auf dem ersten und/oder zweiten Halbleiter-Bauelement (2a, 2b) eine Bauelement-Funktions-Einstell-Einrichtung, insbesondere ein entsprechender Fuse vorgesehen ist, mit deren bzw. dessen Hilfe festgelegt wird, ob das entsprechende Halbleiter-Bauelement (2a, 2b) die Funktion des ersten Halbleiter-Bauelements (2a), oder die Funktion des zweiten Halbleiter-Bauelements (2b) übernehmen soll.

28. System (1) nach einem der vorhergehenden Ansprüche, bei welchem die Spannungsversorgungseinrichtung (3a) des ersten Halbleiter-Bauelements (2a) an ein entsprechendes Pad (5a) des ersten Halbleiter-Bauelements (2a) angeschlossen ist.

29. System (1) nach Anspruch 28, bei welchem das Pad (5a) des ersten Halbleiter-Bauelements (2a) an ein entsprechendes Pad (5b) des zweiten Halbleiter-Bauelements (2b) angeschlossen ist, insbesondere an ein Pad (5b), an welches die Spannungsversorgungseinrichtung (3b) des zweiten Halbleiter-Bauelements (2b) anschließbar ist.

30. System (1) nach Anspruch 29, bei welchem das Pad (5a) des ersten Halbleiter-Bauelements (2a) direkt an das entsprechende Pad (5b) des zweiten Halbleiter-Bauelements (2b) angeschlossen ist, insbesondere mittels eines entsprechenden Bonddrahts (6).

31. System (1) nach Anspruch 29, bei welchem das Pad (5a) des ersten Halbleiter-Bauelements (2a) indirekt an das entsprechende Pad (5b) des zweiten

DE 103 15 303 A1 2004.11.04

Halbleiter-Bauelements (**2b**) angeschlossen ist, insbesondere über einen Interposer (**9**).

Es folgt ein Blatt Zeichnungen

DE 103 15 303 A1 2004.11.04

Anhängende Zeichnungen

FIG 1A

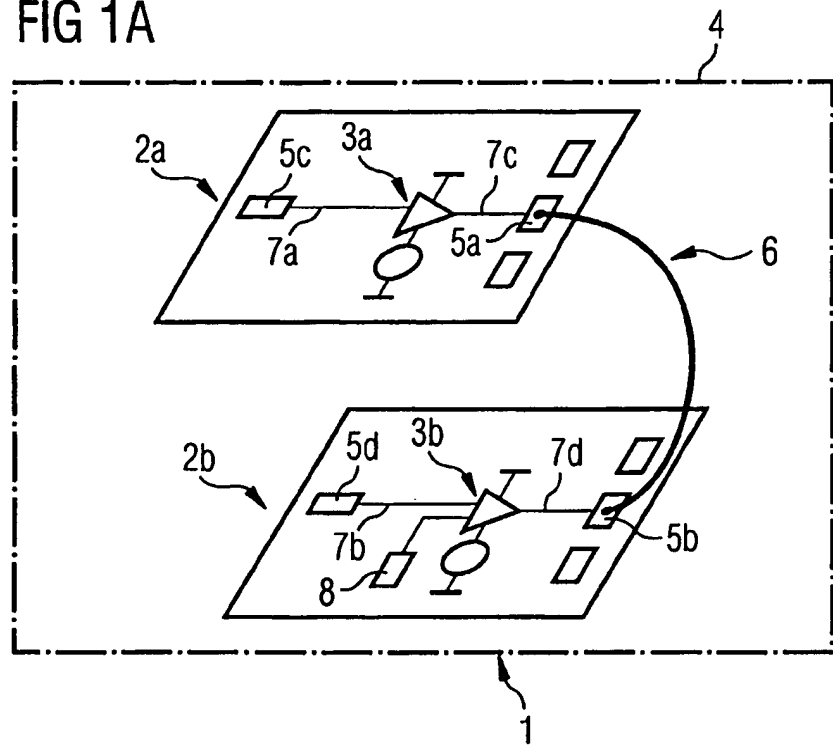


FIG 1B

